

2.5 Блок широтно-импульсного регулятора VC63

Блок предназначен для регулирования амплитудного значения напряжения, прикладываемого к первичной обмотке высоковольтного трансформатора. Его конструкция со снятыми крышками кожуха показан на рис. 2.5.1, а общая принципиальная схема блока — на рис. 2.5.2.

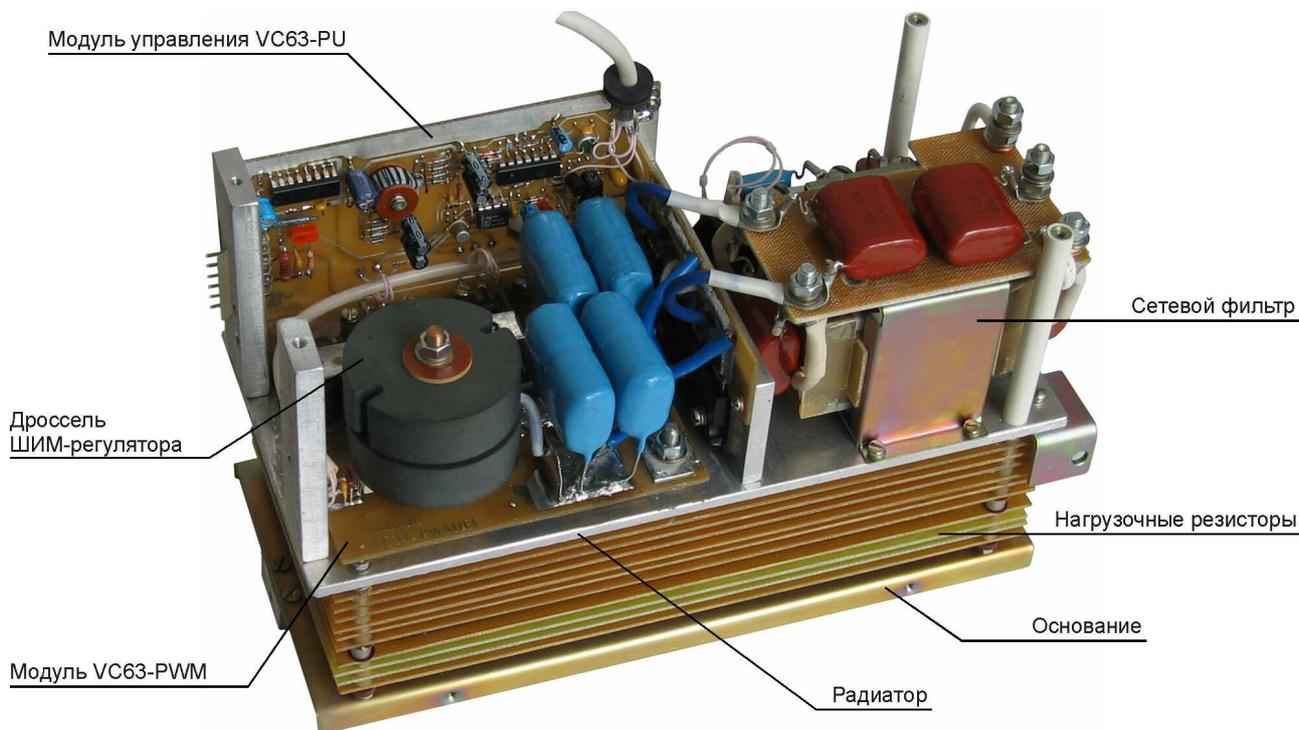


Рис. 2.5.1 Блок широтно-импульсного регулятора

В состав блока входит модуль управления регулятором мощности VC63-PU, модуль регулятора мощности VC63-PWM, нагрузочный резистор R10, электронный коммутатор на тиристорной сборке VD11 с гасящей цепочкой R20, C18, демпфирующая цепочка R21, C19 и фильтр высокой частоты на элементах C16, TR1, C17.

Напряжение фазы А с контакта КТ1 через тиристорный коммутатор и высокочастотный фильтр поступает в модуль VC63-PWM на вход КАТОД, а с выхода АНОД — на первичную обмотку высоковольтного трансформатора (сигнал FV на контакте КТ2, см. рис. 2.5.2). Модуль регулятора мощности выполняет функции управляемого резистора, включенного последовательно с первичной обмоткой высоковольтного трансформатора, с помощью которого осуществляется регулирование амплитуды переменного напряжения на первичной обмотке.

Управление блоком осуществляется с помощью аналогового сигнала VCU, который определяет уровень ограничения синусоидального напряжения, и сигнала VON — токового сигнала управления оптотиристором VD11.

2.5.1 Модуль управления регулятором мощности VC63-PU

Принципиальная электрическая схема модуля управления показана на рис. 2.5.3, а на рис. 2.5.4 и 2.5.5 — схемы расположения элементов.

В качестве сигнала обратной связи используется ограниченное напряжение первичной обмотки высоковольтного трансформатора, которое поступает на 5 контакт разъема XFB модуля VC63-PU (в виде сигнала FV) для сравнения с опорным сигналом VCU в аналоговой схеме управления широтно-импульсным регулятором.

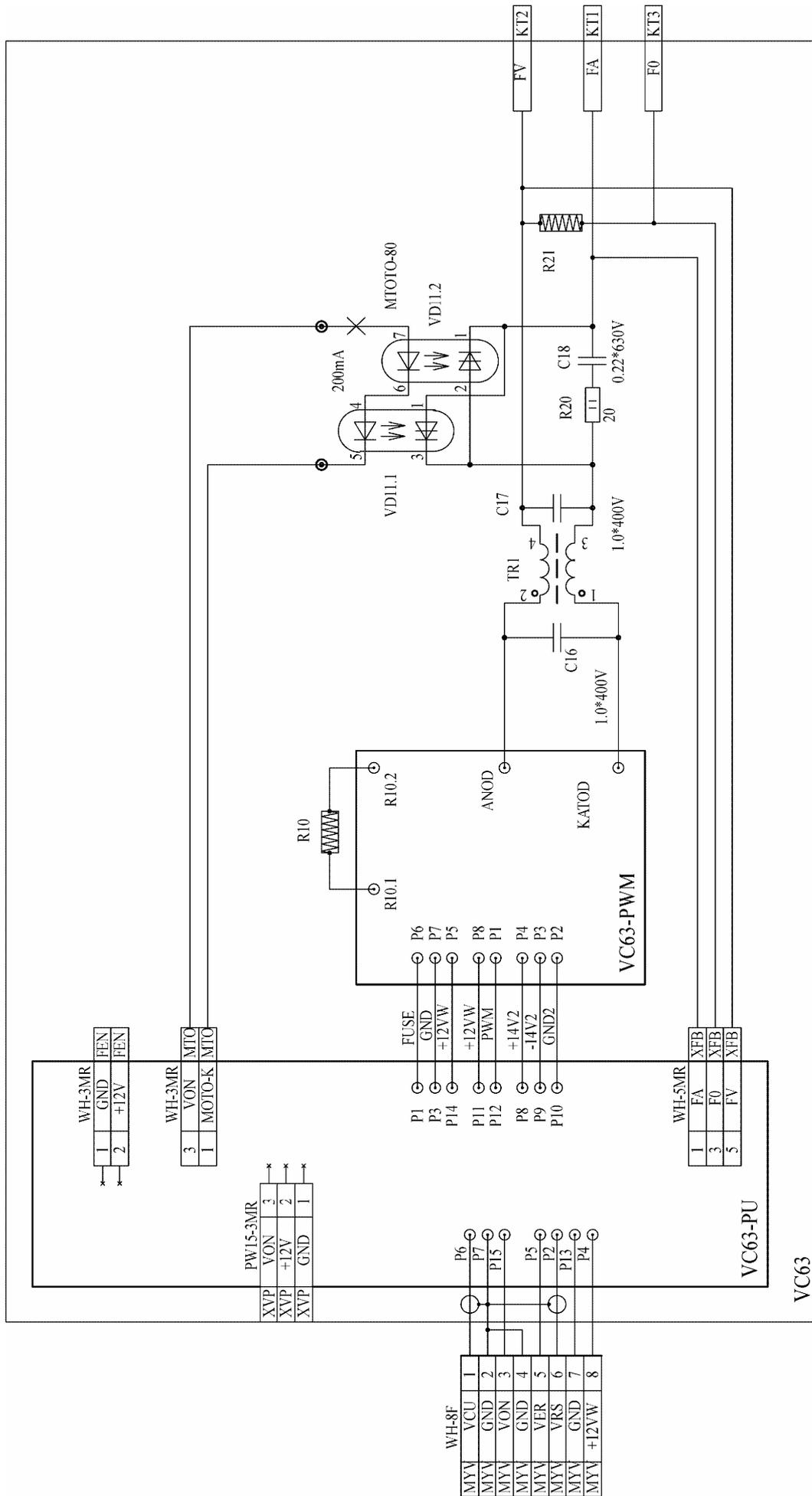


Рис. 2.5.2 Блок ШИМ-регулятора VC63. Схема электрическая принципиальная

Для формирования контрольного сигнала пропорционального ограниченному напряжению первичной обмотки высоковольтного трансформатора применена схема на элементах DD2, DA1.1, DD3. Это схема оптоэлектронного повторителя с гальванической развязкой и линеаризованной передаточной характеристикой. Напряжение первичной обмотки поступает через ограничивающий резистор R1 на выпрямитель VD1..VD4, а с него — на светодиод оптрона DD2. Для защиты светодиода от повреждения при бросках входного напряжения применен стабилитрон VD9, который ограничивает максимальную амплитуду сигнала на уровне 6,2 В. Данная схема отслеживает, чтобы уровень тока с выхода операционного усилителя DA1.1, проходящий через светодиод оптрона обратной связи DD3, был равен току идущему через светодиод элемента DD2. Важным фактором работы схемы является идентичность характеристик оптронной пары DD2, DD3. Элементы подбирают таким образом, чтобы при одном и том же значении тока, создающего световые потоки в оптронах, наводились одинаковые значения фото-ЭДС. Элементы R8, C7 предотвращают генерацию усилителя на высокой частоте и, тем самым, обеспечивают устойчивую работу операционного усилителя DA1.1. Оптоэлектронный каскад обеспечивает гальваническую развязку между контролируемым напряжением на первичной обмотке ТВБ и аналоговой схемой управления широтно-импульсным регулятором.

Полученный ток с выхода операционного усилителя DA1.1 преобразуется в напряжение на делителе R10, R11, R12 и подается на вход повторителя DA1.2, с малым коэффициентом усиления. Сигнал с повторителя через ограничивающий резистор R15 поступает на вход операционного усилителя DA1.3 для сравнения с опорным напряжением управления — сигналом VCU (после повторителя DA1.4). На основе операционного усилителя DA1.3 выполнен усилитель сигнала рассогласования системы автоматического регулирования напряжения. Для подавления возбуждения системы в цепь обратной связи этого каскада включена цепочка R19, C10. Диод VD12 необходим для ограничения динамического диапазона выходного напряжения.

Усиленный сигнал рассогласования через резистор R18 поступает на вход формирователя широтно-импульсного сигнала, собранного на базе компаратора DA2. Формирователь работает по следующему принципу.

При включении питания конденсатор C18 разряжен, поэтому напряжение около +10 В, поступающее на прямой вход компаратора DA2.1 с делителя R26, R27, удерживает компаратор в состоянии, когда его выходной транзистор закрыт. Напряжение на конденсаторе C18 начинает линейно нарастать, так как конденсатор заряжается от источника тока, собранного на транзисторе VT2. При достижении установленного верхнего порога опорного напряжения происходит переключение компаратора, его выходной транзистор открывается, и к делителю напряжения R26, R27 подключается дополнительная нагрузка в виде резистора R30. Уровень опорного напряжения на прямом входе компаратора снижается примерно до двух вольт, надежно фиксируя текущее состояние компаратора. При этом начинается разряд конденсатора C18 через цепочку VD14, R33 и открытый выходной транзистор компаратора DA2.1. Когда напряжение на конденсаторе опускается до нижнего опорного уровня, происходит переключение компаратора, и схема переходит в исходное состояние. Описанные выше процессы повторяются с периодом около 10 мкс, формируя на инверсном входе компаратора DA2.2 пилообразное напряжение с частотой 100 кГц. На выходе этого компаратора образуется широтно-импульсный сигнал, скважность которого зависит от уровня напряжения, приложенного к прямому входу, т.е. от уровня усиленного сигнала рассогласования.

Работа широтно-импульсного формирователя может быть заблокирована высоким уровнем напряжения, прикладываемым через диод VD11 с триггера защиты (RS-триггер собран на основе элементов микросхемы DD1.1, DD1.3).

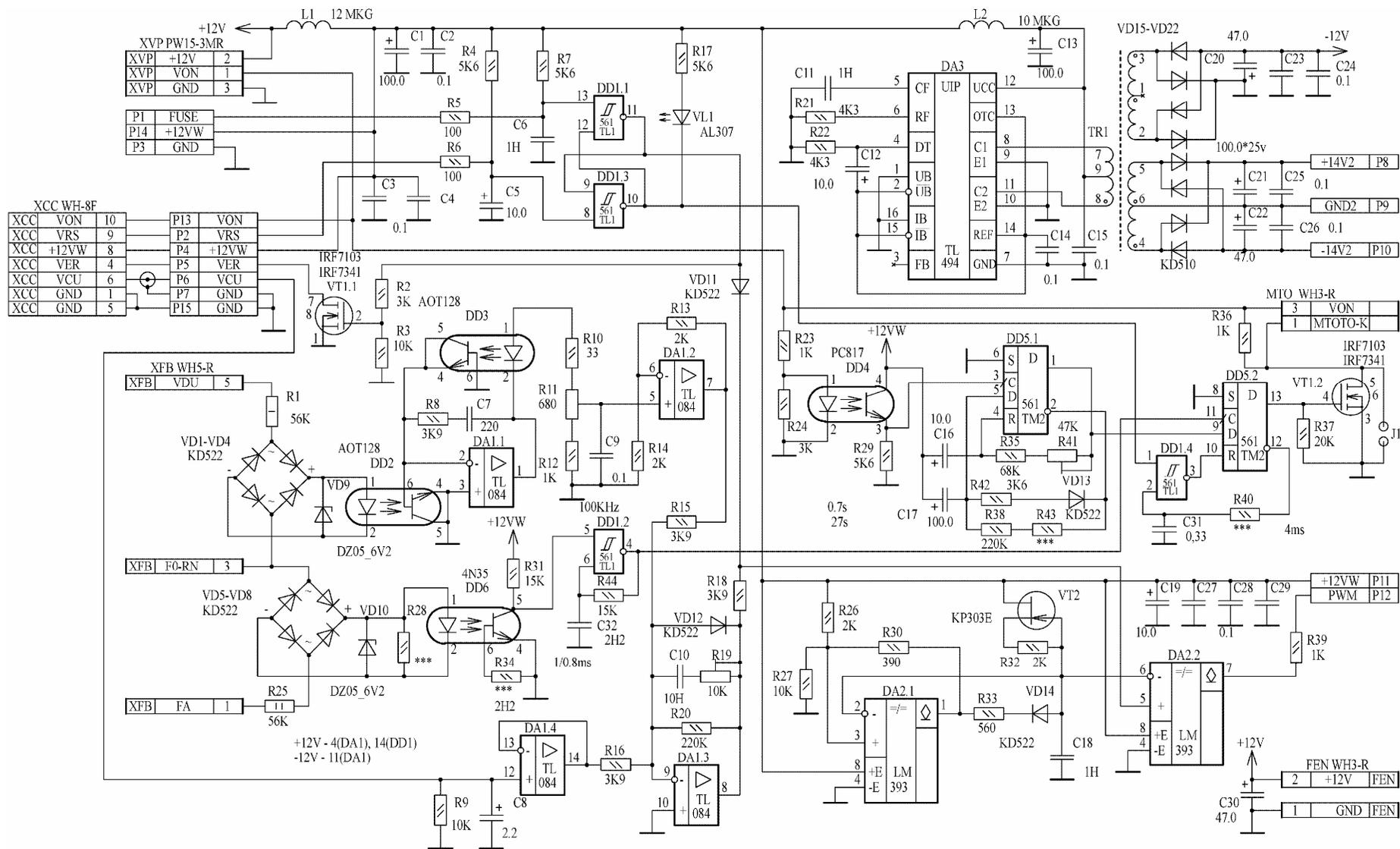


Рис. 2.5.3 Модуль управления VC63-PU. Схема электрическая принципиальная

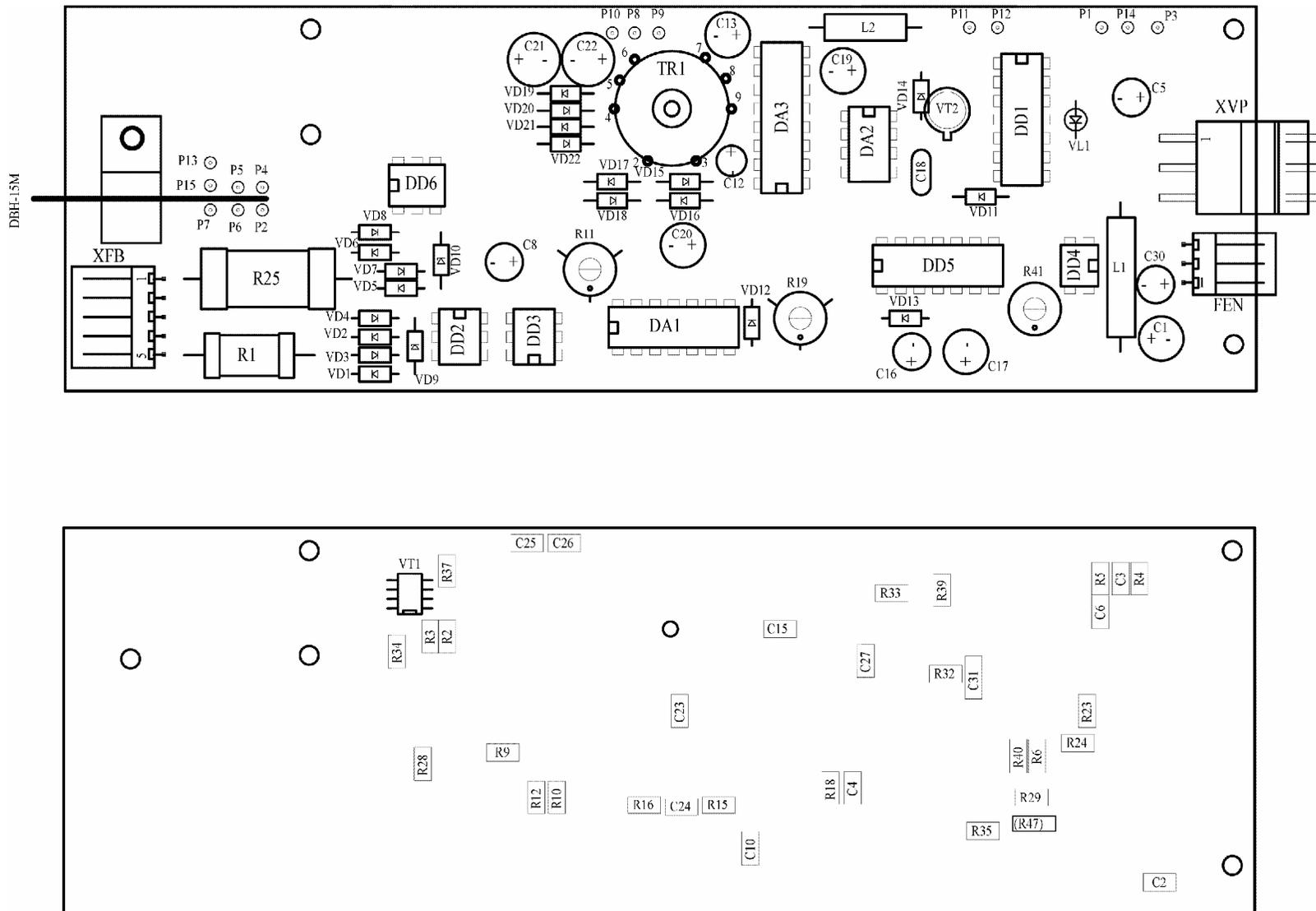


Рис. 2.5.4. Модуль управления VC63-PU. Схемы расположения штыревых и планарных элементов на верхней стороне платы

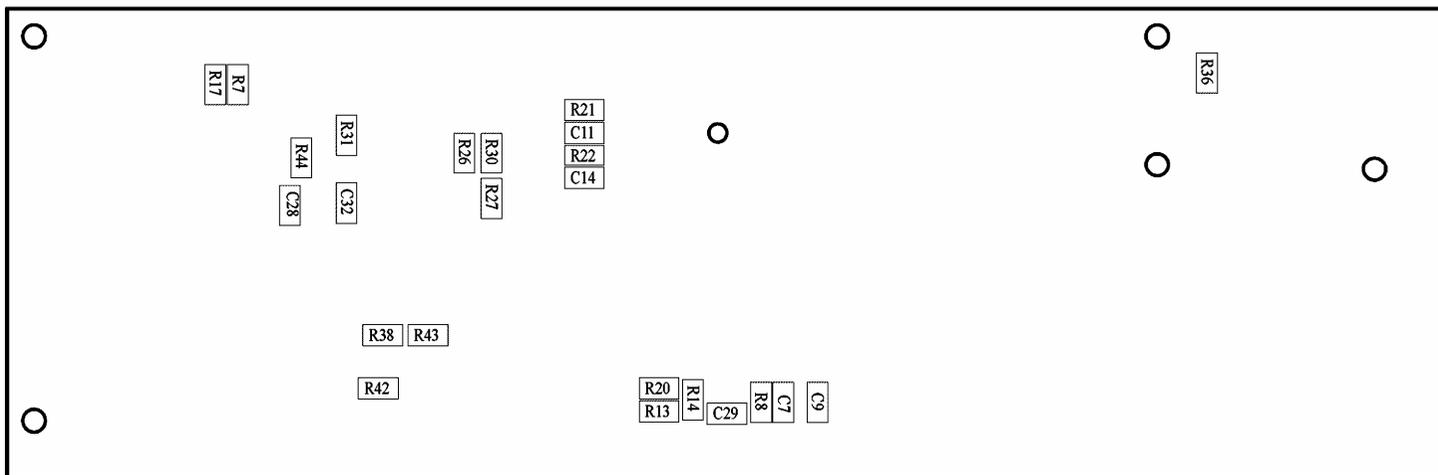


Рис. 2.5.5. Модуль управления VC63-PU. Схемы расположения планарных элементов на нижней стороне платы

При включении питания триггер устанавливается в исходное состояние, при котором на 10 выводе микросхемы DD1 присутствует высокий уровень напряжения, а на 11 выводе — низкий. При превышении допустимого тока регулировочных транзисторов на вход платы поступает низкий уровень сигнала FUSE, который устанавливает триггер в активное состояние. На 10 выводе микросхемы DD1 появляется низкий логический уровень, который приводит к включению индикатора срабатывания защиты VL1, а на 11 выводе — высокий. При этом транзистор VT1.1 открывается, формируя низкий уровень сигнала VER, который поступает на плату микроконтроллера CR07 для программного анализа. Работа широтно-импульсного формирователя при этом блокируется.

В плате VC63-PU предусмотрены блокировки на максимальную длительность экспозиции и минимальный период между снимками. Максимальная длительность экспозиции для пленочного флюорографа обычно не превышает 0,3 с, а ограничение максимальной длительности снимка настраивается на 0,7 с. Минимальное время 25..30 с между экспозициями обусловлено температурными процессами в рентгеновской трубке и необходимо для предотвращения сокращения ресурса трубки. Формирование требуемых временных интервалов для блокировок ШИМ-регулятора производится по фронту сигнала VON с помощью комбинированного одновибратора, который собран на базе триггера DD5.1 и времязадающих RC-цепочек C16, R35, R41 и C17, R38, R43. Временные диаграммы, поясняющие работу схемы, показаны на рис. 2.5.6.

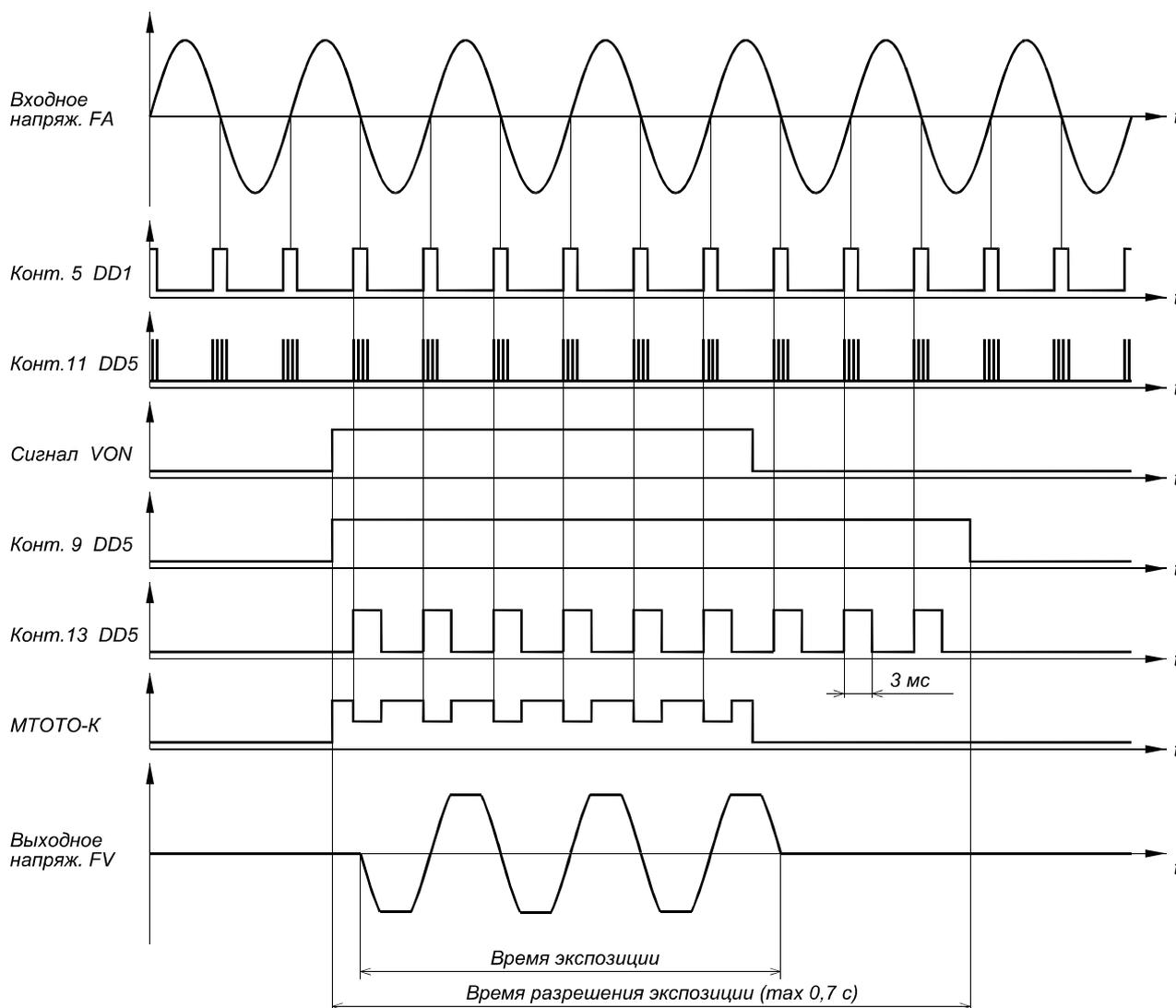


Рис. 2.5.6 Временные диаграммы схемы управления экспозицией

Для включения широтно-импульсного формирователя на разъемы ХСС или ХVP платы VC63-PU подается управляющий сигнала VON высокого уровня (амплитудой 7,5 В). Это напряжение через контакт 3 разъема МТО подается на аноды светодиодов электронных силовых ключей МТОТО-80, и на светодиод оптрона DD4. На оптроне DD4 собрана схема преобразователя уровня сигнала VON до амплитуды 12 В для управления формирователем задержек на элементе DD5.1. Элементы С16, R35, R41 задают максимальную длительность сигнала включения ключей МТОТО-80 около 0.7 с. А элементы С17, R38, R43 задают минимальный период повторного включения силовых ключей около 27 с, не зависимо от факта появления управляющего сигнала VON.

На элементе DD5.2 реализована схема синхронизации с моментом изменения фазы сетевого напряжения, которая работает следующим образом. Переменный ток фазы А с разъема XFB (сигнал FA) с частотой 50 Гц, значение которого определяется ограничивающим резистором R25, поступает на выпрямитель собранный на диодах VD5...VD8. Полученные однополярные импульсы подаются на светодиод элемента DD6, что приводит к его включению. Для защиты светодиода от разрушения при броске входного напряжения применен стабилитрон VD10, который ограничивает максимальную амплитуду сигнала на уровне 6,2 В. Возникающий световой поток в оптроне DD6 формирует на его выходе импульсы положительной полярности. Частота следования сформированных импульсов — 10 мс, а длительность — около 1 мс. Эти импульсы возникают в те моменты времени, когда ток, протекающий через светодиоды оптрона DD6, близок к нулю, т.е. в момент изменения фазы сетевого напряжения. Полученные импульсы подаются на вход 5 элемента DD1.2. На элементе DD1.2 собран управляемый генератор, который формирует пачку импульсов записи триггера DD5.2. Таким образом, каждые 10 мс во время изменения фазы сетевого напряжения состояние триггера DD5.1 перезаписывается в триггер DD5.2.

На элементах DD5.2, DD1.4, R40, C31 реализована схема одновибратора, который формирует на выходе триггера импульсы длительностью около 3 мс. При установленном высоком логическом уровне сигнала на входе 9 элемента DD5.2 положительным перепадом сигнала записи на входе С (вывод 11) в момент изменения фаза сетевого напряжения вырабатываются трехмиллисекундные импульсы, которые поступают в затвор транзистора VT1.2, работающего в ключевом режиме. Транзистор замыкает катодную цепь управления оптодиристорным ключом МТОТО-80 блока VC63.

Применение данной схемы управления оптодиристорным ключом позволяет обеспечить корректную и надежную коммутацию главной цепи питающего устройства.

Модуль содержит также преобразователь напряжения, собранный на основе микросхемы DA3 и трансформатора TR1, который обеспечивает питанием -12 В операционные усилители, а также напряжением ± 14 В — выходные каскады регулятора мощности в модуле VC34-PWM.

2.5.2 Модуль регулятора мощности VC63-PWM

Принципиальная электрическая схема модуля показана на рисунке 2.5.7.

Широтно-импульсный сигнал с модуля управления через контакты P11, P12 поступает на оптрон DD1, который предназначен для гальванической развязки силовых цепей и цепей управления. С выхода оптрона сигнал подается на формирователь DD2, а после усиления — в затворы полевых транзисторов VT1..VT4, которые включены параллельно. Для уменьшения взаимного влияния транзисторов друг на друга применены дроссели L1..L4.

При активном уровне управляющего сигнала полевые транзисторы открываются, и через них начинает протекать линейно нарастающий ток. Скорость нарастания тока ограничена индуктивностью дросселя L8. При закрытии транзисторов накопленная в дросселе энергия сбрасывается через диод VD6 на низкоомный резистор R10. Среднее значение тока протекающего через регулировочный каскад, определяется соотношением времени закрытого и открытого состояний транзисторов. Для подавления высокочастотных составляющих на плате установлены конденсаторы фильтров C5, C6, C8, C9 и C19.

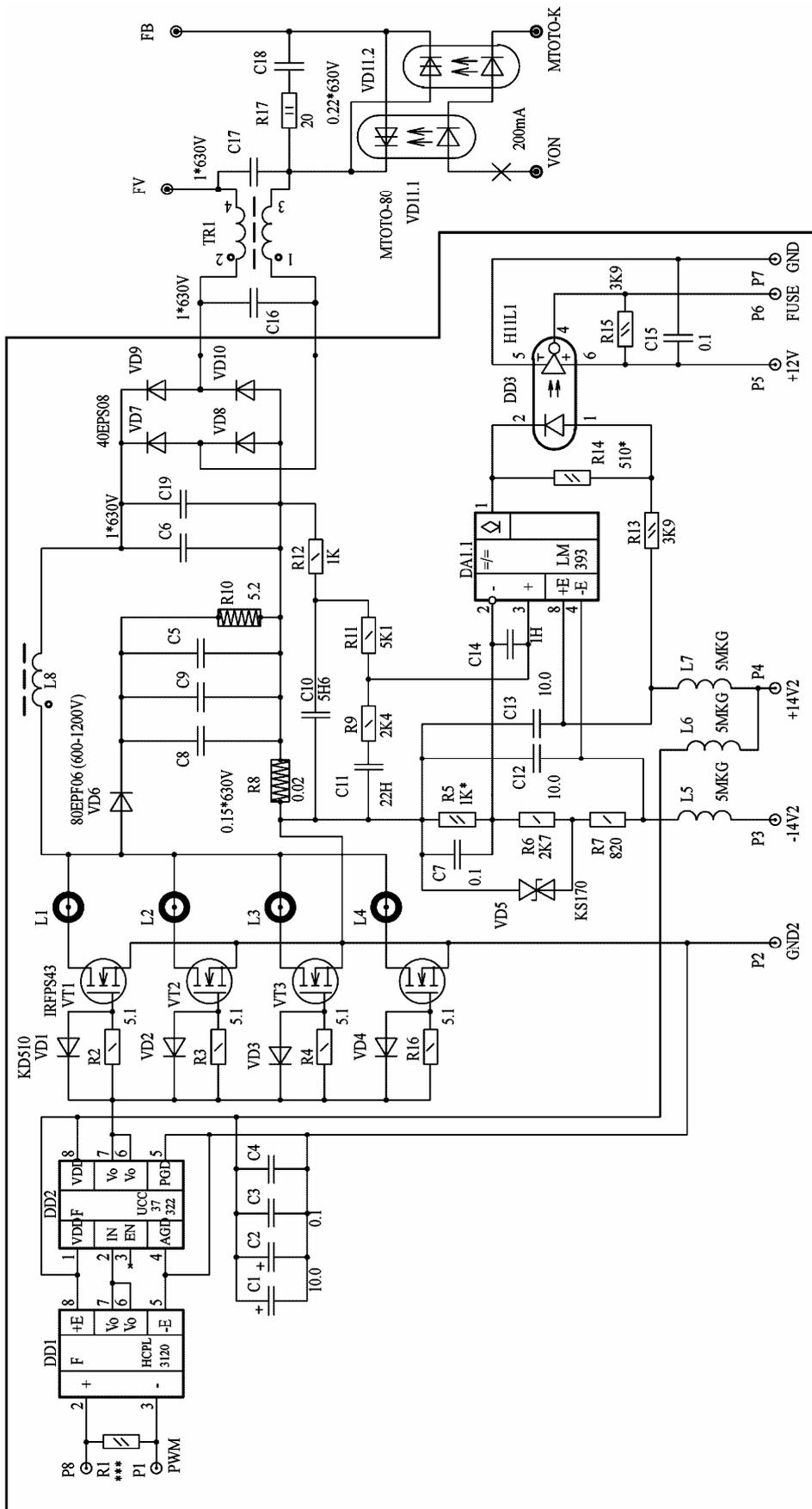


Рис. 2.5.7 Модуль регулятора мощности V630-PWM. Схема электрическая принципиальная

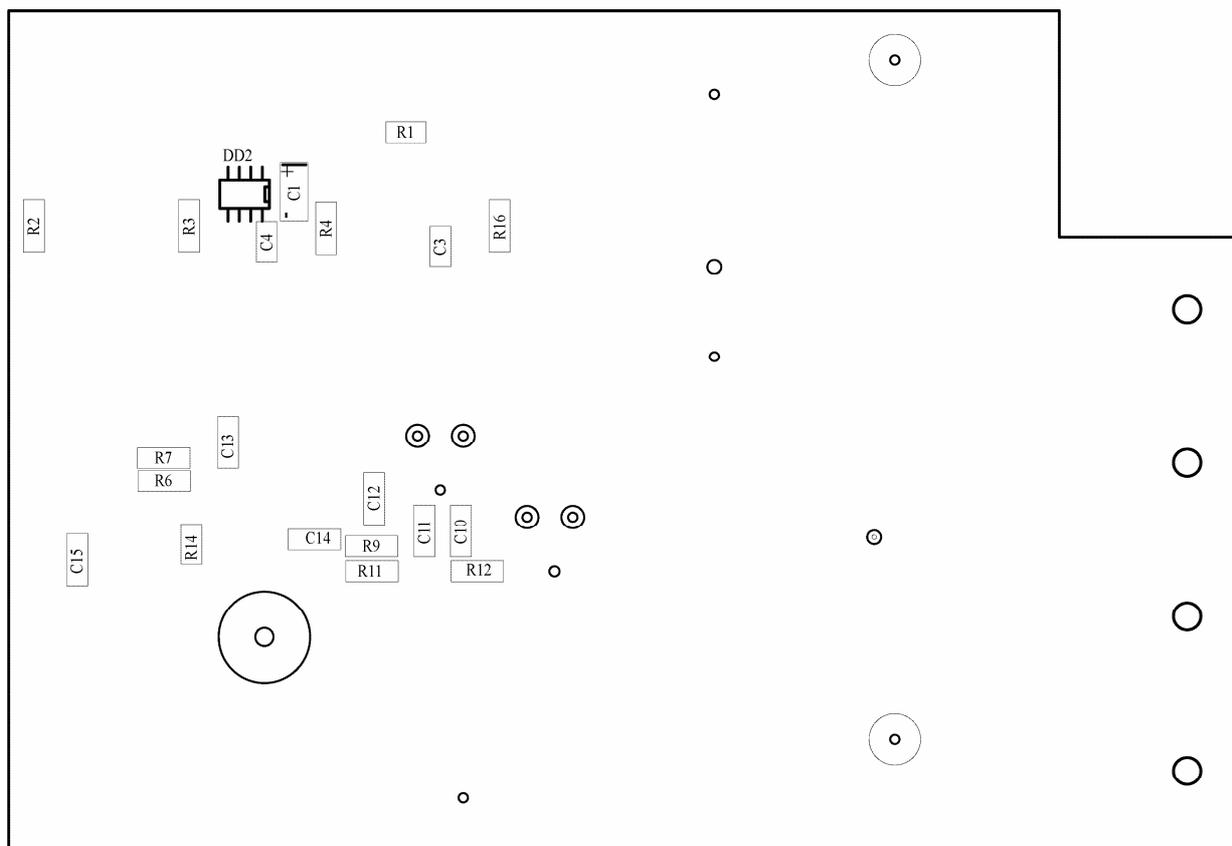
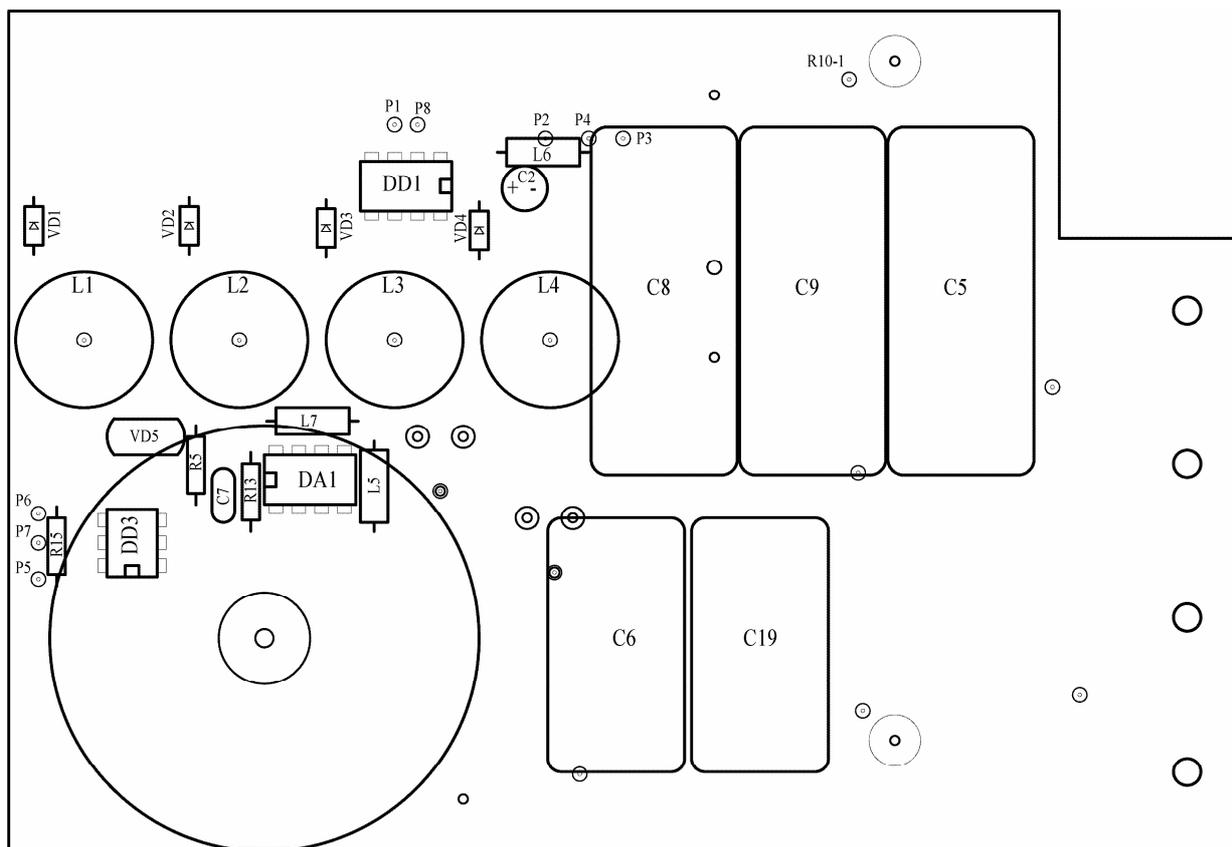


Рис. 2.5.8. Модуль регулятора мощности VC63-PWM.
Схемы расположения штыревых и планарных элементов на верхней стороне платы

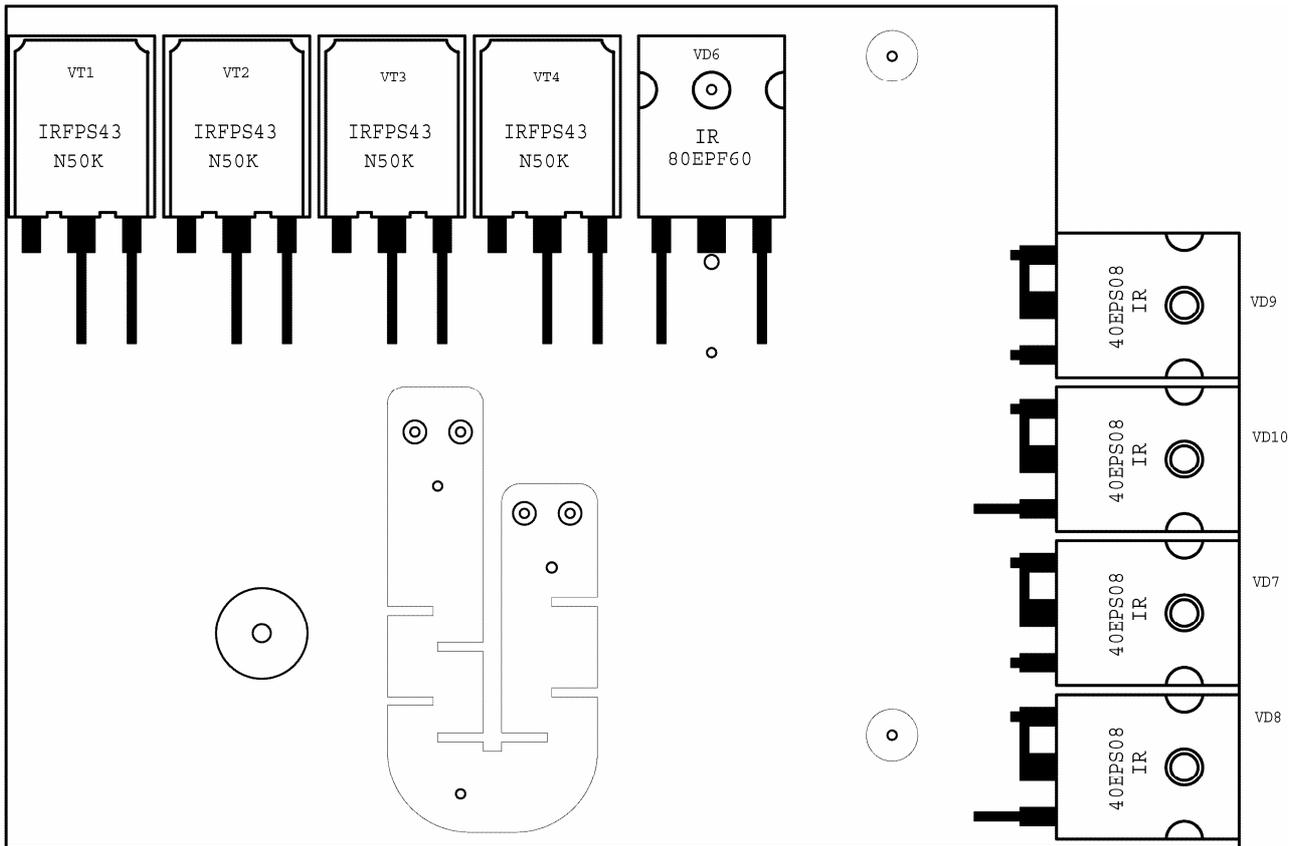


Рис. 2.5.9. Модуль регулятора мощности VC63-PWM.
Схемы расположения элементов на нижней стороне платы

В цепь истока транзисторов включен шунт системы защиты по току R8. Если напряжение на нем начинает превышать порог срабатывания защиты, то компаратор DA1.1 изменяет свое состояние и формирует сигнал, который через оптрон DD3 поступает на вход установки триггера защиты, находящийся в модуле управления (сигнал FUSE).

Регулятор мощности выполнен в виде платы с двухсторонним монтажом элементов, расположение которых показано на рисунках 2.5.8 и 2.5.9.